

(19)



KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020053011 A  
 (43)Date of publication of application: 04.07.2002

(21)Application number: 1020010084671  
 (22)Date of filing: 26.12.2001  
 (30)Priority: 26.12.2000 JP 2000  
 2000395965

(71)Applicant: MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.  
 (72)Inventor: KANEKO HIDEYUKI  
 MATSUMURA KAZUHIKO  
 NAGAO KOICHI  
 NAKAOKA YUKIO

(51)Int. Cl H01L 25/065

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

## (57) Abstract:

PURPOSE: To suppress the generation of the package crack of a semiconductor chip on an upper side and the deterioration of the reliability of connection in a semiconductor device for which two semiconductor chips are joined and packaged.

CONSTITUTION: In this semiconductor device functioning as a three-dimensional device for which two semiconductor chips are joined, the back surface of the semiconductor chip on the upper side is ground, the entire side face of the semiconductor chip on the upper side is covered with a resin layer, or the center of the semiconductor chip on the upper side is made thicker than a peripheral part. Thus, the generation of the package crack is suppressed and the reliability of the semiconductor device is improved.

&copy; KIPO & JPO 2003

## Legal Status

Date of final disposal of an application (00000000)

Date of registration (00000000)

Date of opposition against the grant of a patent (00000000)

## 한국 공개특허공보 제2002-53011호(2002.07.04) 1부.

[첨부그림 1]

특2002-0053011

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)(51) Int. Cl.<sup>7</sup>  
H01L 25/065(11) 공개번호 특2002-0053011  
(43) 공개일자 2002년 07월 04일

(21) 출원번호	10-2001-0064671
(22) 출원일자	2001년 12월 26일
(30) 우선권주장	JP-P-2000-0039565 2000년 12월 26일 일본(JP)
(71) 출원인	마쓰시타 덴키 산교 가부시키가이샤 일본 오오사카후 가도마시 오오마자 가도마 1006 나카오카뮤키오
(72) 발명자	일본국나라현미코마시다카이마초4238 마츠무라기즈하코 일본국나라현기타카쓰리가코다이마초오아자미나미이마이치430 가네코하데유기 일본국호고켄이타미시축오6-2-20-201 나가오고이치 일본국교토후교도시후시미구히가시하야마이나마초570-4-601
(74) 대리인	김영철

설명구 : 설명(54) 반도체장치 및 그 제조방법

## 요약

본 발명은 2 장의 반도체 칩을 접합시켜 패키지화 시킨 반도체장치에 있어서, 위쪽 반도체 칩의 상층금속의 달성이거나 접속 선로의 악화를 억제하는 것이다.

2 장의 반도체 칩을 접합시킨 3차원 디바이스로서 가능하는 반도체장치에 있어서, 위쪽 반도체 칩의 미연을 연마하거나, 위쪽 반도체 칩의 흙면 전세를 소자층으로 피복하거나, 또는 위쪽 반도체 칩의 중앙부를 주변부보다 두껍게 한다. 이로써 실장 규율의 달성이 억제되어 반도체장치의 신뢰성이 협상된다.

## 목표

## 도1

## 색인어

반도체 칩, 반도체장치

## 발명자

## 도면의 간략한 설명

- 도 1은 본 발명 제 1 실시예의 3차원 디바이스 단면도.
- 도 2는 본 발명 제 1 실시예의 변형예에 있어서의 3차원 디바이스 단면도.
- 도 3은 본 발명 제 2 실시예의 3차원 디바이스 단면도.
- 도 4는 제 2 실시예의 제 1 변형예에 있어서의 반도체장치 단면도.
- 도 5는 제 2 실시예의 제 2 변형예에 있어서의 반도체장치 단면도.
- 도 6은 제 2 실시예의 제 3 변형예에 있어서의 반도체장치 단면도.
- 도 7은 본 발명 제 3 실시예의 3차원 디바이스 단면도.
- 도 8의 (a)-(f)는 제 4 실시예의 반도체장치 제조공정을 나타내는 단면도.
- 도 9의 (a)-(e)는 제 4 실시예의 반도체장치 제조공정을 나타내는 단면도.
- 도 10의 (a)-(f)는 제 5 실시예의 반도체장치 제조공정을 나타내는 단면도.
- 도 11의 (a)-(e)는 제 5 실시예 제 1 변형예의 반도체장치 제조공정을 나타내는 단면도.

## [첨부그림 2]

특 2002-0053011

도 12의 (a)-(1)는 제 5 실시에 제 2 반도체의 반도체장치 제조공정을 나타내는 단면도.  
 도 13의 (a)-(e)는 제 5 실시에 제 3 반도체의 반도체장치 제조공정을 나타내는 단면도.  
 도 14의 (a)-(e)는 제 6 실시에 제 4 반도체의 반도체장치 제조공정을 나타내는 단면도.  
 도 15은 본 발명 제 6 실시에 제 2 반도체 칩 이면 모서리부를 상세하게 나타내는 단면도.  
 도 16은 본 발명 제 6 실시에 제 2 반도체 칩 이면의 연마방법을 나타내는 단면도.  
 도 17은 증례의 3 차원 디바이스 구조를 나타내는 단면도.  
 도 18의 (a)-(d)는 증례의 3 차원 디바이스의 제조공정을 나타내는 단면도.

## ◆ 도면의 주요 부분에 대한 부호의 설명 ◆

10 : 제 1 반도체 칩	11 : 제 1 내부전극
12 : 본딩패드	20 : 제 2 반도체 칩
21 : 제 2 내부전극	22 : 미들 장벽층
23 : 금속 범프	30 : 수지
31 : 다이패드	32 : 리드
33 : 도전성 페이스트	34 : 본딩·와이어
35 : 복입수지	36 : 웨이퍼
37 : 제 1 수지층	38 : 제 2 수지층
40 : 공구	41 : 자외선
42 : 연마입자	43 : 연마장치
45 : 모서리부	46 : 반도체장치
47 : 보호수지	

## 도면의 축선과 단면

## 도면의 특징

## 도면에 속하는 기술과 그 보야의 증례기술

본 발명은 제 1 반도체 칩 상에 제 2 반도체 칩이 접속된 반도체장치 및 그 제조방법에 관한 것이다. 최근 전자기기의 소형화, 고속처리화에 따라, 2 종류 이상의 반도체 칩을 적층시키거나 이루어지는 3 차원 디바이스 구조가 널리 경로되고 있다. 2 종류 이상의 반도체 칩을 개별로 1 친화하는 기술과 3 차원 디바이스를 형성하는 기술을 비교하면, 반도체 칩 내에 형성되는 반도체소자의 종류에 따라 유리한 점과 불리한 점이 있다. 예를 들어, 메모리·로직·온Chip디바이스와 같이 혼합형인 공정으로 형성된 반도체소자를 1 친화하기 위해서는 공정이 복잡해져 원가가 높아진다. 그래서 개별로 적별한 공정으로 형성된 반도체소자를 갖는 2 종류의 반도체 칩을 서로 적용시킴으로써, 저원가화를 도모하고자 하기 위한 여러 가지 제안이 나왔으나, 세습화도가 시작한 디바이스도 있다.

이하, 증례의 3 차원화된 반도체장치의 구조와 제조방법에 대하여 설명하기로 한다. 도 17은 증례의 3 차원 디바이스 구조를 나타내는 단면도이다. 도 18의 (a)-(d)는 증례의 3 차원 디바이스 제조공정을 나타내는 단면도이다.

도 17에 나타낸 바와 같이 증례의 3 차원 디바이스는, 상면에 복수의 제 1 내부전극(111) 및 본딩패드(112)를 갖는 제 1 반도체 칩(110)과, 상면에 복수의 제 2 내부전극(121)을 갖는 제 2 반도체 칩(120)과, 상기 제 1 반도체 칩(110)을 단자하기 위한 다이패드(131)와, 상기 각 반도체 칩(110, 120) 내의 트렌지스터 등 소자와 외부 기기와의 사이에 전기적 신호를 주고받기 위한 리드(132)를 구비한다.

그리고 제 1 반도체 칩(110) 상에 제 1, 제 2 내부전극(111, 121)끼리 위치 조정한 상태에서 제 2 반도체 칩(120)이 단자되고, 제 1 내부전극(111)과 제 2 내부전극(121)을 금속 범프(123)를 개재하고 서로 전기적으로 접속된다. 또 제 1 반도체 칩(110)과 제 2 반도체 칩(120) 사이에는 수지(130)가 충전되고, 수지(130)에 의하여 제 1, 제 2 반도체 칩(110, 120)이 서로 접触되어 일제화된다. 또 상기 다이패드(131) 및 리드(132)는 1 개의 리드프레임으로부터 분리될 것이다. 제 1 반도체 칩(110)은 다이패드(131)에 펄라운(Pd), 은(Ag) 등의 도전성 페이스트(133)로 고정되며, 제 1 반도체 칩(110)의 본딩패드(112)와 리드(132)는 본딩와이어(134)를 통하여 전기적으로 접속된다. 또한 제 1 반도체 칩(110), 제 2 반도체 칩(120), 본딩와이어(134), 다이패드(131) 및 리드(132)는 복입수지(135)로 통합되어 접착된다.

다음으로 증례의 반도체장치 제조방법에 대하여 설명한다. 도 18의 (a)에 나타낸 공정에서 다음과 같은 순서로 제 1 반도체 칩(110)과 제 2 반도체 칩(120)을 위치 조정 한다. 우선, 상면에 복수의 제 1 내부전극(111)을 갖는 제 1 반도체 칩(110)을 준비하여, 제 1 반도체 칩(110)을 실장자(도시 생략) 상에 일고 제 1 반도체 칩(110)의 상면에 수지(130)를 도포한다. 한편, 상면에 복수의 제 2 내부전극(121) 및 그 위의 메탈장벽(122)을 갖는 제 2 반도체 칩(120)을 준비하여, 제 2 반도체 칩(120)의 메탈장벽(122) 상에 금속범프(123)를 형성한다. 그리고 제 1 반도체 칩

## [첨부그림 3]

화 2002-0053011

(110) 상방에, 제 2 반도체 힙(120)을 그 상면이 아래쪽으로 향한 상태로 대합시켜, 제 1 내부전극(111)과 제 2 내부전극(121)(예암장벽(122))의 위치를 조정한다.  
다음에 도 18의 (b)에 도시한 공정에서 다음과 같은 순서로 제 1 반도체 힙(110)과 제 2 반도체 힙(120)을 서로 접합한다. 우선 제 2 반도체 힙(120)을 그 미연에서 금속핀구(140)로 가림, 가임하여 제 2 반도체 힙(120)의 내부전극(121)산(예암장벽(122)상)에 형성된 금속핀포(123)를 개재하고, 제 1 반도체 힙(110)의 제 1 내부전극(111)과 제 2 반도체 힙(120)의 내부전극(121)을 서로 접합시킨다. 그리고 정합 후, 양 반도체 힙(110, 120) 사이에 충전되어 있는 수지(130)를, 자외선(141)을 조사하거나 가열한으로써 경화시킨다.

다음으로 도 18의 (c)에 나타낸 공정에서 다음과 같은 순서로 외여어온딩된 반도체 디바이스에 대하여 외여어온딩 공정을 실시한다. 우선 내비파드(131) 및 린드(132)를 구비한 리드프레임(137)을 준비한다. 그리고 제 1 반도체 힙(110)을 디아파드(131)상에 팔라듐(Pd), 은(Ag) 등의 도전성 케이스트(133)로 고정시킨다. 그리고 제 1 반도체 힙(110)의 블링파드(112)와 리드프레임(137)의 리드(132)를 분리와이어(134)로 접속한다.

다음, 도 18의 (d)에 나타낸 공정에서 다음과 같은 순서로 외여어온딩된 반도체장치를 패키징 한다. 우선 제 1 반도체 힙(110), 제 2 반도체 힙(120), 분리와이어(134), 디아파드(131) 및 린드(132)를 통일수지(135)로 통합한다. 이 때 린드(132) 하면 또는 외측면은 통일수지(135)로 피복되지 않고 노출되며, 미부분이 외부단자로서 기능한다.

이상의 공정으로써, 제 1 반도체 힙(110) 상에 제 2 반도체 힙(120)을 탑재시켜 일체화되어 이루이지는 3 차원 디바이스가 형성된다.

## 화 3 차원 디바이스의 반도체장치에 사는 다음과 같은 문제가 있다.

우선 제 1 반도체 힙(110) 상에 페이스다운 접합되는 제 2 반도체 힙(120)은 웨이퍼로부터 절단된 것인데, 제 2 반도체 힙(120) 하면의 모서리부(145) 혹은 절단 시 연식된 상태이다. 때문에 제 2 반도체 힙(120) 하면 모서리부(145)에는 통일수지 경화 시 발생하는 용액이 접착되고, 그 결과 종합적인 반도체 디바이스의 융성접착성이 급격히 저워진다.

또 반도체장치를 통일수지로 통합하지 않을 경우도, 반도체장치 탈역 시 반도체 힙이 헤어짐의 영향으로 반도체 힙간의 접속회로성이 저하되기 쉬워진다.

본 발명의 목적은 제 1 반도체 힙(110)에 접합되는 제 2 반도체 힙(120)의 이런 모서리부의 융성접착을 완화시키고, 또는 접의 힘을 저감시킬 수 있는 반도체장치 및 그 제조방법을 제공하는 데 있다.

## 화 4 화 5 각을

본 발명의 제 1 반도체장치는, 상면에 제 1 전극을 갖는 제 1 반도체 힙과, 상면에 제 2 전극을 갖고, 상기 제 2 전극을 상기 제 1 전극에 접기적으로 접속시킨 상태로 상기 제 1 반도체 힙 상에 담재된 제 2 반도체 힙을 구비하여, 상기 제 2 반도체 힙 하면의 모서리부가 가공되어 무디어진다.

이로써 제 2 반도체 힙의 하면 모서리부의 융성접착이 완화되므로, 실장균율 등의 발생이 억제되는 등, 3 차원 디바이스의 반도체장치의 접착력 특성 악화도 방지된다.

상기 제 2 반도체 힙 하면의 모서리부가 평면으로 디도록써, 접장균율의 발생이 보다 효과적으로 억제된다.

상기 제 2 반도체 힙 하면 모서리부의 폭면 곡률반경이 1mm보다 큰 것이 바람직하다.

상기 제 1 반도체 힙과 제 2 반도체 힙 사이에 수지층이 개재될으로써 접속 신뢰성이 향상된다.

본 발명의 제 2 반도체장치는, 상면에 제 1 전극을 갖는 제 1 반도체 힙과, 상면에 제 2 전극을 갖고, 상기 제 2 전극을 상기 제 1 전극에 접기적으로 접속시킨 상태로 상기 제 1 반도체 힙 상에 담재된 제 2 반도체 힙과, 상기 제 1 반도체 힙과 제 2 반도체 힙 사이에 개재하여, 또 상기 제 2 반도체 힙의 전 측면을 피복하는 수지층을 구비한다.

이로써 3 차원 디바이스의 힘이 저감되어 접속 신뢰성이 확보되게 된다.

상기 수지층 중 상기 제 1 반도체 힙과 상기 제 2 반도체 힙 사이에 개재하는 부분과, 상기 제 2 반도체 힙의 전 측면을 피복하는 부분은, 서로 다른 수지재료로 구성되는 것이 더욱 바람직하다.

상기 수지층 중 상기 제 2 반도체 힙의 전 측면을 피복하는 부분의 펌러 핫유량이, 상기 제 1 반도체 힙과 제 2 반도체 힙 사이에 개재하는 부분의 펌러 핫유량보다 많거나, 상기 수지층 중 상기 제 2 반도체 힙의 전 측면을 피복하는 부분의 펌러 평균자리를, 상기 제 1 반도체 힙과 제 2 반도체 힙 사이에 개재하는 부분의 펌러 평균자리를보다 큼 것이 바람직하다.

상기 어느 한 구성에 의하여, 수지층 중 제 2 반도체 힙의 전 측면을 피복하는 부분의 탄성률이 높아져 힘 보호기능이 강화되고 동시에, 접점접계수가 반도체 힙의 접점접계수에 가까워지므로 힘 넣기 가능도 높아진다.

상기 수지층 중 상기 제 2 반도체 힙의 전 측면을 피복하는 부분의 습면은, 상기 제 2 반도체 힙 하면과 거의 꼴을 평면을 갖는 위치에 있음으로써, 접속 신뢰성을 보다 확실하게 확보할 수 있다.

상기 제 1 반도체 힙과 상기 제 2 반도체 힙은 수지 통입되는 것이 바람직하다.

## [첨부그림 4]

2002-0053011

본 발명의 제 3 반도체장치는, 상면에 제 1 전극을 갖는 제 1 반도체 칩과, 상면에 제 2 전극을 갖고, 상기 제 2 전극을 상기 제 1 전극에 전기적으로 접속시킨 펨어스다운 상대로 삼기 제 1 반도체 칩 상에 탑재된 제 2 반도체 칩을 구비하여, 상기 제 2 반도체 칩 중앙부가 주변부보다 두껍다.

이로써 제 2 반도체 칩의 휠미 저감되므로, 제 1 반도체 칩과 제 2 반도체 칩의 접속 신뢰성이 향상된다. 제 1 반도체 칩과 제 2 반도체 칩 사이에 개재하는 수지층을 추가로 구비함으로써 접속 신뢰성이 더욱 높아진다.

상기 제 1 반도체 칩과 상기 제 2 반도체 칩은, 수지봉입되는 것이 바람직하다.

본 발명의 제 1 반도체장치의 제조방법은, 제 1 반도체 칩상에 제 2 반도체 칩을, 양자의 전극끼리 전기적으로 서로 접속된 상태에서 탐제시켜 이루어지는 반도체장치의 제조방법으로서, 상면에 제 1 전극을 갖는 상기 제 1 반도체 칩으로서 탐제 칩 형성영역을 갖는 웨이퍼와, 상면에 제 2 전극을 갖는 상기 제 1 반도체 칩을 준비하는 공정과, 상기 웨이퍼의 각 제 1 반도체 칩 형성영역의 상에 상기 제 2 반도체 칩 형성영역을 갖는 공정과, 상기 도체 퀼을 각각 탐제시켜, 상기 제 1 전극과 상기 제 2 전극을 서로 전기적으로 접속하는 공정과, 상기 웨이퍼의 각 제 1 반도체 칩 형성영역과 상기 제 2 반도체 칩 사이에 수지층을 형성하는 공정과, 상기 제 2 반도체 칩을 상기 웨이퍼에 탐제한 상태에서 상기 제 2 반도체 칩의 하면을 연마하는 공정과, 상기 제 2 반도체 칩을 상기 웨이퍼에 탐제한 상태에서 상기 제 2 반도체 칩을 평입하는 공정이다.

이 방법으로써 제 1 반도체 칩 하면의 모서리부가 연마, 연마부으로써 모서리가 뾰어지므로, 모서리부의 융적접착이 억제되어 접착준열이 억제된다.

본 발명의 제 2 반도체장치의 제조방법은, 제 1 반도체 칩 상에 제 2 반도체 칩을, 양자의 전극끼리 전기적으로 서로 접속된 상태에서 탐제시켜 형성되는 반도체장치의 제조방법으로서, 상면에 제 1 전극을 갖는 제 1 반도체 칩과, 상면에 제 2 전극을 갖는 상기 제 2 반도체 칩을 준비하는 공정과, 상기 제 1 반도체 칩과 상기 제 2 반도체 칩 형성영역을 갖는 공정과, 상기 제 2 반도체 칩을 상기 웨이퍼에 탐제한 상태에서 상기 제 2 반도체 칩의 하면을 연마하는 공정과, 상기 제 2 반도체 칩을 각 퀼 형성영역별로 분리시키고, 제 1 반도체 칩 상에 제 2 반도체 칩이 탐제되어 구조되는 접합체를 개별로 형성하는 공정과, 상기 제 1 반도체 칩과 상기 제 2 반도체 칩을 봉입수지로 봉입하는 공정을 포함한다.

상기 제 1, 제 2 반도체장치의 제조방법에 있어서, 상기 제 1 전극과 상기 제 2 전극을 서로 전기적으로 접속하는 공정은, 상기 제 1 전극 및 상기 제 2 전극 층 사이에도 어느 한쪽 전극에 범프를 형성하고, 상기 범프를 개재하고 각 전극끼리를 접속하는 공정을 추가로 포함하는 것이 바람직하다.

상승한 특징 및 기타의 특징과 본 발명의 특징 및 이점은 첨부 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이다.

## (설시예)

## (제 1 실시예)

미하 본 발명의 제 1 실시예 및 그 변형예에 관한 반도체장치의 구조에 대하여 설명하기로 한다. 도 1, 도 2는 본 실시예 및 그 변형예의 3 차원 디바이스 구조를 나타내는 단면도이다.

도 1에 나타낸 바와 같이 본 실시예의 3 차원 디바이스는, 주면에 복수의 제 1 내부전극(11) 및 본딩리드(12)를 갖는 제 1 반도체 칩(10)과, 주면에 복수의 제 2 내부전극(21)을 갖고 펨어스다운으로 제 1 반도체 칩(10)에 접합된 제 2 반도체 칩(20)과, 상기 제 1 반도체 칩(10)을 탐제하기 위한 디마페드(31)와, 상기 각 반도체 칩(10, 20) 내 트랜지스터 등의 소자와 외부 기기 사이에 전기적 신호를 주고받기 위한 리드(32)를 구비한다.

그리고 제 1 반도체 칩(10) 상에 제 1, 제 2 내부전극(11, 21)끼리를 위치 조정한 상태에서 제 2 반도체 칩(20)이 탐제되며, 제 1 내부전극(11)과 제 2 내부전극(21)은 금속베프(23)를 개재하고 서로 전기적으로 접속된다. 또 제 1 반도체 칩(10)과 제 2 반도체 칩(20) 사이에는 수지(30)가 축전되고, 수지(30)에 의하여 제 1, 제 2 반도체 칩(10, 20)이 서로 접착되어 일체화된다. 또 상기 디마페드(31) 및 리드(32)는 제 1, 제 2 반도체 칩(10, 20)에 부착된 본리드(35) 것이다. 제 1 반도체 칩(10)은 디마페드(31)에 펌리듬(34), 은(Ag) 등의 도전성 펨어스다운(36)과 고정되어, 제 1 반도체 칩(10)의 본딩리드(12)와 리드(32)는 본딩와이어(34)를 통하여 전기적으로 접속된다. 또한 제 1 반도체 칩(10), 제 2 반도체 칩(20), 본딩와이어(34), 디마페드(31) 및 리드(32)를 봉입수지(36)로 봉입되어 펨기화 된다.

여기서 본 실시예의 3 차원 디바이스 중의 제 2 반도체 칩(20) 미연의 모서리부(45)는 꼭연화 되어, 제 2 반도체 칩(20) 미연은 예각의 모서리부가 존재하지 않는다. 따라서 제 2 반도체 칩(20) 미연의 모서리부(45)에서의 실장균열을 억제할 수 있어, 증발적인 디바이스 특성 암화를 최피킬 수 있다.

## -변형예-

도 2는 제 1 실시예의 변형예에 있어서 3 차원 디바이스의 단면도이다. 도 2에 나타낸 바와 같이 본 실시예의 3 차원 디바이스는 주면에 복수의 제 1 내부전극(11) 및 복수의 본딩리드(12)를 갖는 제 1 반도체 칩(10)과, 주면에 복수의 제 2 내부전극(21)을 갖고 펨어스다운으로 제 1 반도체 칩(10)에 접착된 제 2 반도체 칩(20)과, 상기 제 1 반도체 칩(10)을 탐제하기 위한 디마페드(31)와, 상기 각 반도체 칩(10, 20)을 탐제하기 위한 디마페드(31)와, 리드(32)를 봉입수지(36)로 봉입되어 펨기화 된다.

[첨부그림 5]

목 2002-0053011

## 20) 내 트랜지스터 등의 소자와 외부 기기 사이에 전기적 신호를 주고받기 위한 리드(32)를 구비한다.

그리고 제 1 반도체 힙(10) 상에 제 1, 제 2 내부전극(11, 21)피리를 위치 조정한 상태에서 제 2 반도체 힙(20)이 탑재되며, 제 1 내부전극(11)과 제 2 내부전극(21)은 금속범프(23)를 개재하고 서로 전기적으로 접속된다. 또 제 1 반도체 힙(10)과 제 2 반도체 힙(20) 사이에는 수지(30)가 총전되고, 수지(30)에 의하여 제 1, 제 2 반도체 힙(10, 20)이 서로 접착되어 일체화된다. 또 상기 다이파드(31) 및 리드(32)는 1 개의 리드프레임으로부터 분리된 것이다. 제 1 반도체 힙(10)은 다이파드(31)에 펌라듐(Pd)을 (Ag) 등의 도전성 페이스트(33)로 고정되며, 제 1 반도체 힙(10)의 본딩파드(12)와 리드(32)는 본딩와이어(34)를 통하여 접속된다. 또한 제 1 반도체 힙(10), 제 2 반도체 힙(20), 본딩와이어(34), 다이파드(31) 및 리드(32)는 통합수지(35)로 봉입되어 패키지화 된다.

그리고 본 실시예의 3 차원 디바이스에서는 제 2 반도체 힙(20)의 축면 전체가 수지(30)로 피복된다. 따라서 미 수지(30)로 제 2 반도체 힙(20)의 모서리부(45)도 보호됨으로써, 제 2 반도체 힙(20)의 미연 모서리부(45)에서의 실장균열을 억제할 수 있어, 증발적인 디바이스 특성 악화를 회피할 수 있다. 또 수지 통합층을 설치하기 전에 제 1 반도체 힙(10)과 제 2 반도체 힙(20)이 수지(30)로 강력하게 접착되므로, 접착층에 의한 제 1, 제 2 반도체 힙(10, 20) 백리를 유호하게 넣지할 수 있어 접속 신뢰성의 향상을 도모할 수 있다.

## -제 1 변형예-

도 4는 제 2 실시예의 제 1 변형예에 있어서의 반도체장치 구조를 나타내는 단면도이다.

도 4에 나타낸 바와 같이, 본 변형예의 3 차원 디바이스는 도 3에 나타낸 3 차원 디바이스와 마찬가지로, 주면에 복수의 제 1 내부전극(11) 및 복수의 본딩파드(12)를 갖는 제 1 반도체 힙(10)과, 주면에 복수의 제 2 내부전극(21)을 갖고 펌라듐(31)과 리드(32)는 1 개의 리드프레임으로부터 분리된 것이다. 또 수지(30)를 통하여 접속하기 위한 다이파드(31)와, 상기 각 반도체 힙(10, 20) 백리를 유호하게 넣지할 수 있어 접속 신뢰성의 향상을 도모한 것이다.

그리고 제 1 반도체 힙(10)은 제 2 내부전극(11, 21)피리를 위치 조정한 상태에서 제 2 반도체 힙(20)이 탑재되며, 제 1 내부전극(11)과 제 2 내부전극(21)은 금속범프(23)를 개재하고 서로 전기적으로 접속된다. 상기 다이파드(31) 및 리드(32)는 1 개의 리드프레임으로부터 분리된 것이다. 또 제 1 반도체 힙(10)은 다이파드(31)에 펌라듐(Pd), (Ag) 등의 도전성 페이스트(33)로 고정되며, 제 1 반도체 힙(10)의 본딩파드(12)와 리드(32)는 본딩와이어(34)를 통하여 접속된다.

여기서 본 변형예에 있어서, 제 1 반도체 힙(10)과 제 2 반도체 힙(20) 사이에는 제 1 수지(37)가 총전되며, 제 1 수지(37)에 의하여 제 1, 제 2 반도체 힙(10, 20)이 서로 접착되어 일체화된다. 그리고 제 1 반도체 힙(10) 상에는 제 1 수지(37) 및 제 2 반도체 힙(20)의 축면을 피복하는 제 2 수지(38)가 구성된다.

그리고 제 1 반도체 힙(10), 제 2 반도체 힙(20), 본딩와이어(34), 다이파드(31) 및 리드(32)는 통합수지(35)로 봉입되어 패키지화 된다.

본 변형예에 의해서도 제 2 수지(38)에 의하여 제 2 반도체 힙(20)의 축면 전체가 피복되므로, 제 2 수지(38)에 의하여 제 2 반도체 힙(20)의 모서리부(45)도 보호되게 됨으로써, 제 2 반도체 힙(20)의 미연 모서리부(45)에서의 실장균열을 억제할 수 있어 증발적인 디바이스 특성 악화를 회피할 수 있다. 또 수지 통합층을 설치하기 전에 제 1 반도체 힙(10)과 제 2 반도체 힙(20)이 수지(37, 38)로 강화된 접속되므로, 접착층에 의한 제 1, 제 2 반도체 힙(10, 20) 백리를 유호하게 넣지할 수 있어 접속 신뢰성의 향상을 도모할 수 있다.

그리고 수지층을 제 1 수지(37)와 제 2 수지(38)는 2 종류의 상이한 조성을 갖는 수지로 구성함으로써, 다음과 같은 효과를 얻을 수 있다. 예를 들어 제 2 수지(38)의 펌러 험유성이 저 1 수지(37)의 펌러 험유량보다 많거나, 제 2 수지(38)의 펌러 험유성이 저 1 수지(37)의 펌러 험유량보다 큼 경우에는, 제 2 수지(38)의 탄성률이 높아져 제 2 반도체 힙(20) 모서리부에 대한 보호기능이 향상된다. 또 제 2 수지(38)의 열팽창계수가 저 1, 제 2 반도체 힙(20)의 열팽창계수에 가까워지므로 펌러기능도 높아진다.

## -제 2 변형예-

도 5는 제 2 실시예의 제 2 변형예에서 3 차원 디바이스의 구조를 나타내는 단면도이다.

도 5에 나타낸 바와 같이, 본 변형예의 3 차원 디바이스는, 주면에 복수의 제 1 내부전극(11) 및 복수의 본딩파드(12)를 갖는 제 1 반도체 힙(10)과, 주면에 복수의 제 2 내부전극(21)을 갖고 펌라듐(31)으로부터 제 1 반도체 힙(10)에 접착된 제 2 반도체 힙(20)과, 상기 제 1 반도체 힙(10)과 제 2 반도체 힙(20) 사이에는 수지(30)로 접착되는 3 차원 디바이스이다.

그리고 제 1 반도체 힙(10)은 제 2 내부전극(11, 21)피리를 위치 조정한 상태에서 제 2 반도체 힙(20)이 탑재되며, 제 1 내부전극(11)과 제 2 내부전극(21)은 금속범프(23)를 개재하고 서로 전기적으로 접속된다. 또 제 1 반도체 힙(10)과 제 2 반도체 힙(20) 사이에는 수지(30)가 총전되고, 수지(30)에 의하여 제 1, 제 2 반도체 힙(10, 20)이 서로 접착되어 일체화된다. 또 상기 다이파드(31) 및 리드(32)는 1 개의 리드프레임으로부터 분리된 것이다. 제 1 반도체 힙(10)은 다이파드(31)에 펌라듐(Pd), (Ag) 등의 도전성 페이스트(33)로 고정되며, 제 1 반도체 힙(10)의 본딩파드(12)와 리드(32)는 본딩와이어(34)를 통하여 접속된다. 또한 제 1 반도체 힙(10), 제 2 반도체 힙(20), 본딩와이어(34), 다이파드(31) 및 리드(32)는 통합수지(35)로 봉입되어 패키지화 된다.

그리고 본 실시예의 3 차원 디바이스에서는 제 2 반도체 힙(20)의 축면 전체가 수지(30)로 피복될 광동에, 수지(30)의 상단 면은 제 2 반도체 힙(20)의 미연과 거의 광동 평면을 형성한다. 즉 제 2 반도체 힙(20)의 미연 모서리부(45) 속방이 수지(30)로 두껍게 피복된다. 따라서 도 3에 나타난 구조보다 제 2 반

## [첨부그림 6]

쪽 2002-0053011

도체 철(20)의 모서리부(45)를 보호하는 작용효과가 커진다.

## -제 3 변형예-

도 6은 제 2 실시예의 제 3 변형예에 있어서서의 반도체장치 구조를 나타내는 단면도이다. 도 6에 나타난 바와 같이, 본 변형예의 3 차원 디바이스는 도 3에 나타낸 3 차원 디바이스와 마찬가지로, 주면에 복수의 제 1 반도체 철(10)과, 주면에 복수의 복수의 제 2 내부전극(21) 및 그 위의 헤밀턴박스(22)를 갖는 제 1 반도체 철(10)과, 주면에 복수의 제 2 반도체 철(20)과, 상기 제 1 반도체 철(10)을 둘러싸기 위한 디아파드(31)와, 상기 각 반도체 철(10, 20) 내 트랜지스터 등의 소자와 외부 기기 사이에 전기적 신호를 주고받기 위한 리드(32)를 구비한다.

그리고 제 1 반도체 철(10) 상에 제 1, 제 2 내부전극(11, 21)끼리를 위치 조정한 상태에서 제 2 반도체 철(20)이 탐색되어, 제 1 내부전극(11)과 제 2 내부전극(21)은 금속별프(23)를 개재하고 서로 전기적으로 접속된다. 상기 헤밀턴박스(22)는 1 개의 리드프레임으로부터 분리된 것이다. 또 제 1 반도체 철(10)은 디아파드(31)에 팔라듐(Pd), 은(Ag) 등의 전금성 페이스트(33)로 고정되며, 제 1 반도체 철(10)의 블딩와이어(34)를 통하여 전기적으로 접속된다.

여기서 본 변형예에 있어서, 제 1 반도체 철(10)과 제 2 반도체 철(20) 사이에는 제 1 수지(37)가 충전되며, 제 1 수지(37)에 의하여, 제 1 반도체 철(10)과 제 2 반도체 철(20)이 서로 접착되어 일체화된다. 그리고 제 1 반도체 철(10) 상에는 제 1 수지(37) 및 제 2 반도체 철(20)의 축면을 피복하는 제 2 수지(38)가 층층법과 동시에, 제 2 수지(38)의 상단 면은 제 2 반도체 철(20) 미연과 거의 광물 풍화를 형성한다. 즉 제 2 반도체 철(20)의 미연 모서리부(45) 축방이 제 2 수지(38)로 드록게 피복된다. 따라서 도 3에 나타낸 구조보다 제 2 반도체 철(20)의 모서리부(45)를 보호하는 작용효과가 커진다.

## (제 3 실시예)

도 7은 제 3 실시예에 있어서서의 반도체장치 구조를 나타내는 단면도이다. 도 7에 나타난 바와 같이, 본 실시예의 3 차원 디바이스는 주면에 복수의 제 1 내부전극(11) 및 복수의 블딩와이어(34)를 갖는 제 1 반도체 철(10)과, 주면에 복수의 제 2 내부전극(21)을 갖고 페이스트다운으로 제 1 반도체 철(10)에 접합된 제 2 반도체 철(20)과, 상기 제 1 반도체 철(10)을 둘러싸기 위한 디아파드(31)와, 상기 각 반도체 철(10, 20) 내 트랜지스터 등의 소자와 외부 기기 사이에 전기적 신호를 주고받기 위한 리드(32)를 구비한다.

그리고 제 1 반도체 철(10) 상에 제 1, 제 2 내부전극(11, 21)끼리를 위치 조정한 상태에서 제 2 반도체 철(20)이 탐색되어, 제 1 내부전극(11)과 제 2 내부전극(21)은 금속별프(23)를 개재하고 서로 전기적으로 접속된다. 또 제 1 반도체 철(10)과 제 2 반도체 철(20) 사이에는 수지(30)가 충전되고, 수지(30)에 의하여 제 1, 제 2 반도체 철(10, 20)이 서로 접착되어 일체화된다. 상기 디아파드(31) 및 리드(32)는 1 개의 리드프레임으로부터 분리된 것이다. 제 1 반도체 철(10)은 디아파드(31)에 팔라듐(Pd), 은(Ag) 등의 전금성 페이스트(33)로 고정되며, 제 1 반도체 철(10)의 블딩와이어(34)와 리드(32)는 블딩와이어(34)를 통하여 전기적으로 접속된다. 또한 제 1 반도체 철(10), 제 2 반도체 철(20), 블딩와이어(34), 디아파드(31) 및 리드(32)는 풍압수지(35)로 봉입되어 패키지화된다.

여기서 본 실시예의 3 차원 디바이스에 있어서, 제 2 반도체 철(20)은 그 축면부분을 주변부보다 두껍게 된다. 따라서 본 실시예의 3 차원 디바이스에 의하면, 제 2 반도체 철(20)의 실장균율을 억제할 수 있어 통합적인 디바이스 특성의 협화를 최화할 수 있다.

그리고 본 실시예의 3 차원 디바이스에서는, 제 2 반도체 철(20)의 축면 하부만이 수지(30)로 피복되어, 제 2 반도체 철(20)의 축면 전체가 수지(30)로 피복되지 않지만, 제 2 실시예와 마찬가지로 제 2 반도체 철(20)의 축면 전체가 수지(30)로 피복되어도 민감한 것으로 한다.

## (제 4 실시예)

다음으로 본 발명의 제 4 실시예에 관한 반도체장치의 제조방법에 대하여 설명하기로 한다. 본 실시예에 있어서는, 상술한 제 1 실시예에 관한 반도체장치의 제조방법에 대하여 설명하기로 한다. 도 8의 (a)-(f)는 본 실시예의 반도체장치의 제조방법을 나타낸 단면도이다.

도 8의 (a)에 나타내는 공정에서 미하의 솔루션에 의하여, 제 1 반도체 철(10)을 형성하기 위한 물질인 다수의 철 형성영역(Rtp)을 갖는 웨이퍼(36)와 제 2 반도체 철(20)의 위치를 조정한다. 우선 다수의 철 형성영역(Rtp)을 갖는 웨이퍼(36)와 제 1 반도체 철(20)의 위치를 조정한다. 웨이퍼(36)의 각 철 형성영역(Rtp)에는 반도체소자나 배선이 형성되며, 각 철 형성영역(Rtp)의 실마리에는 일부미ழ으로 이루어지는 복수의 제 1 내부전극(11) 및 접점마\_brace으로 이루어지는 복수의 블딩와이어(34)를 배설된다. 그리고 웨이퍼(36)를 실장지그(도시 생략) 위에 올려 놓고, 웨이퍼(36)의 1 개 철 형성영역(Rtp) 주면에 예상되는 수지(30)를 도포한다. 수지(30)로서는 예측상 예상되는 수지(30)로써는 마크밀수지, 또 수지(30)의 수지(30)로서는 예측상 예상되는 수지(30)로써는 주입법(disperse), 인센브, 또는 펌리아이드수지, 및 우레탄수지 등이 있다. 수지(30)는 도포방법으로는 주입법(disperse), 인센브, 또는 스템핑방(stamping) 등이 있으며, 철 크기 등으로 적절한 방법이 선택된다. 또한 수지(30)는 웨이퍼(36)의 철 형성영역(Rtp)위의 도포에 한정되지 않고, 제 2 반도체 철(20)으로의 도포도 대신할 수도 있다.

또 수지(30)를 도포하는 터미널은 도 8의 (a)에 도시한 위치조정 전뿐만 아니라, 위치조정하고 금속별프(23)를 개재 시켜 각 내부전극(11, 21)끼리를 접합시킨 후(도 8의 (b)에 나타난 공정)로도 된다.

한편 주면에 일부미ழ으로 이루어지는 복수의 제 2 내부전극(21) 및 그 위의 메탈장벽층(22)을 갖는 제 2 반도체 철(20)을 준비하여, 제 2 반도체 철(20)의 메탈장벽층(22) 상에 금속별프(23)를 형성한다. 메탈장벽층(22)은 탄산(Ti), 구리(Cu), 니켈(Ni)의 금속박막으로 이루어지며, 금속별프(23)는 주석(Sh)-납(Pb)으로 이루어진다. 금속별프(23)의 재료로는 금(Au), 인듐(In), In-Sh, Sn-Ag, Sn-Zn, Cu 및 세 증여하는 하나님을 선택하여 이용하는 가능하며, 이 금속별프(23)의 크기는 범프 지름이 3~100μm, 높이가 3~50μm이다.

그리고 웨이퍼(36)의 1 개 철 형성영역(Rtp) 상면에 껌구(40)에 의하여 제 2 반도체 철(20)을 유지하면서, 제 2 반도체 철(20)을 그 상면을 아래쪽으로 한반 상태로 웨이퍼(36)의 1 개 철 형성영역(Rtp)

[첨부그림 7]

每 2002-0053011

(Rtp)에 대답시킨다.

여기서 전기적 접속을 실시하기 위한 부자로서는, 글씨번호(23) 마이너 도전선 케이스, 미방성 도전수지, 금속제 텁터 손수지 및 미용봉 수 있다. 또 제 2 반도체 험(20)의 제 2 나부전극(21)과 미관가로 헤미퍼(36)의 험 형성역(Rtp) 상의 제 1 나부전극(21)에 걸속从根本上 험 형성포를 형성해도 된다. 다음으로 도 8의 (b)에 나타낸 공정에서, 미하의 순서로 헤미퍼(36)의 험 형성역(Rtp)과 제 2 반도체 험(20)을 서로 접하게 한다.

제 2부 제 3. 반도체 회로(40)를 설치하여서 회로시리즈 제 2반도체 회로(20)의 제 2내부진공(21)

다음과 같이 본 조항은 수지(30)에 텁크(20)를 텁크(20)에 부착하는 경우에만 적용되는 내용이다. 도 8의 (c)에 나타난 공정에서 도 8의 (a), (b)에 나타난 공정들을, 웨이퍼(36)의 각 면 형성영역(RF)에 접촉시킬 제 2 반도체 층(20)의 수단으로는, 도 8의 (c)에 나타낸 바와 같이 웨이퍼(36)에 접촉시킬 제 2 반도체 층(20)을 접촉시키기 험성되는 접촉체(50) 구조를 염두에 두어야 한다. 그리고 반도체 층-웨이퍼 사이에 충전전시기는 수지(30)을 수지성분으로서 예후수지수, 아크로수지 등을 포함하여 도전성이 저하되지 않도록, 나침반, 충전 풍을 포함하는 이방성 도전성 필(ACF; Anisotropic Conductive Film) 또는 이방성 도전성 저자로서, 흥, 나침반, 충전 풍을 포함하는 이방성 도전성 필(ACF; Anisotropic Conductive Film) 또는 이방성 도전성 저자로서, 흥, 나침반, 충전 풍을 포함하는 이방성 도전성 필(ACF; Anisotropic Conductive Film) 등으로 대체하는 것도 가능하다.

다음에 제 8의 (d)에 나타낸 공정에서 접합체(50) 중의 제 2 반도체 험(20) 이면을 염마한다. 그 뒤 제 8의 (c)에 나타낸 공정에서 수지(30)를 충분히 경화시킨 후, 웨이퍼(36)의 각 절 험성형역(Rtp) 상에 접합체(50)를 염마하는 제 2 반도체 험(20)을 통해 제 1면 접착제(43)와 면마장치(43) 상판에 대사량판(38) 상에서 접합체(50)를 염마하는 제 1면 접착제 험(20)을 통해 제 1면(44) 위에 접착제(43)를 염마하는 제 1면 접착제 험(20)을 구현시킨다. 그리고 염마장치(43)의 영역에서 염마인자(42)를 공급하고, 접합체(50)에 하중을 가하여 면마장을 실시된다. 이 때 염마인자(42)를 서는 일도가 #1200~#2000 정도의 나이타운드 입자가가 배광작하여, 면마장치(43)의 회전수는 5~50 rpm 정도가 바람직하다.

다음으로, 도 6의 (e)에 나타낸 공정에서, 연마를 완료하고 접합체(50)을 연마장치(43)로부터 분리하면 웨이퍼(36) 속의 각 제 2 반도체 층(20)의 미분 소리보이(45)가 무디어져 꼭연회로 형성이 일어진다. 더 가서 제 2 반도체 층(20)의 미분 소리보이(45) 형상은 예를 들어 도 15에 나타내는 카드 가로설정 치수(A) 가 약 1-10㎛이고, 한 세로방향 치수(B)가 약 1-10㎛로 되는 형식이다. 그 후 접합체(50)의 각 켜 협결 혈설 혈(Rip)으로 웨이퍼(36)를 절단함으로써, 개개의 제 1 반도체 층(10)과 제 2 반도체 층(20)으로 이루어지는 반도체장치(46)가 얻어진다.

다음, 도 린(1)에 나온내는 공정에서, 반도체장치(46)의 페기장을 실시한다. 우선 반도체장치(46)를 리드프레임의 디아트랙트(31)에 밀착하고 납, 은 등의 할우하는 도전성 플라스틱(30)로 양자판 고정된다. 그리고 제 1 반도체 칩(10)의 본딩풀리미: 리드(32)를 25% 정도의 길이, 일부마법으로 이루어진다는 본딩풀리미(34)로 접속한다. 그리고 마지막으로 제 1 반도체 칩(10), 제 2 반도체 [20], 본딩풀리미(34), 리드프레임의 디아트랙트(31), 및 리드프레임의 리드(32)(일부)를 예측시계 또는 리아이드트리의 톤리스위치(35)를 사용하여 수직접합장을 실시한다.

이상의 공정으로서, 제 1 반도체 천(10) 상에 제 2 반도체 천(20)을 탑재하여 일체화시켜 구성되는 제 1 실시예의 3 차원 디바이스가 용이하게 형성된다.

-연혁여-

또 수지(30)를 도포하는 타이핑은 도 9의 (a)에 도시한 위치조정 전분만 미니라, 위치조정하고 금속범프(23)를 개재시켜 각 내부전극(11, 21)끼리 접점시킨 후도 9의 (b)에 나타낸 풍경)리로 된다.

제 6 항 면적 하나를 선택하여 이용하는 것이 가능하다. 면적을 흡수(23)의 크기는 면적 사용비 3~1000원

25-7

### [첨부그림 8]

© 2002-0053011

높이가 3~50미터다.

그리고 제 1 반도체 칩(10) 상방에, 공구(40)에 의하여 제 2 반도체 칩(20)을 유지하면서, 제 2 반도체 칩(20)의 상면을 미래측으로 향한 상태로 제 1 반도체 칩(10)에 대향시킨다.

여기서 전기적 접속은 실시하기 위한 부자로서는, 금속부품(23) 이외에 도전성 펨이스트, 미방성 도전수지, 금속제 접속부(10)의 제 2 내부구역(21) 대신에, 접속부(10)의 제 1 내부구역(11) 상에 금속부품을 제 2 단도체 접속부(20)의 제 2 내부구역(21) 대신에, 접속부(10)의 제 1 내부구역(11) 상에 접속부(20)를 설치해도 된다.

다음으로 도 8의 (b)에 나타낸 꿈에서, 미미 영화한 도 8의 (b)에 나타낸 꿈과 같은 순서로 제 1 반도체 접(10)과 제 2 반도체 접(20)을 단자지지, 응각자의 내부접속(11), 21)끼리의 접점과 주지(30) 경계를 혼为一体화하여, 제 1 반도체 접(10)을 제 2 반도체 접(20)을 단자 시켜 구성되는 접합체(51)를 협성한다.

다음에, 두 항의 (c)-(e)에 나타낸 광경에서, 미미·설명한 두 항의 (d)-(1)에 나타낸 광경과 마찬가지로 솔서에 의하여, 합침체(51)의 제 2 반도체 험(20) 미연의 연마광경, 와이어트루프 광경 및 퍼카지광경 등을 처리한다.

법원에서 제도(4)에 나타난 광장에서 제 1, 제 2 반도체 험법(10, 20)을 접두사로 하여 일정한(51) 제 2 반도체 험법(20) 이면의 의미를 실시한 후 제 2 반도체 험법(20)의 이면 모서리부(45)에 대한 연마작업(42)의 광급이 보다 청결하게 이루어지므로, 제 4 실시예의 방법에 비해 연마의 품질과 모포를 수 있다.

4월 5일(수요)

다음으로, 본 법령의 제 5 조시행에 관한 반도체장치의 제조설비법에 대하여 설명하기로 한다. 본 조시행에 있어서는, 상당한 제 5 조시행에 관한 반도체장치의 제조설비법에 대하여 설명하기로 한다. 도 10의 (4)-(5)는 본 조시행에 있어서 반도체장치의 제조설비법을 나타내는 만년도이다.

도 10의 (e)에 나타내는 공정에서 미하리 승서에 의하여, 제 1 반도체 험(10)을 형성하기 위한 열의 원자수의 험 형성액(RPD)을 갖는 웨이퍼(36)와 제 2 반도체 험(20)의 위치를 조정한다. 서로 다른 태수의 험 형성액(RPD)을 갖는 웨이퍼(36)를 준비한다. 웨이퍼(36)의 각 험 형성액(RPD)에는 반도체 소자나 배선의 설계 및 제작(35)에 따른 험 형성액(RPD)의 상면에는 알루미늄으로 이루어진 복수의 제 1 내부재극(11) 및 제 2 내부재극(12)이 형성되며, 각 험 형성액(RPD)의 상면에는 알루미늄으로 이루어진 복수의 제 1 내부재극(11) 및 제 2 내부재극(12)이 형성된다. 그리고 웨이퍼(36)은 살구형(지도)식으로 험 형성액(RPD) 위에 미어지어서 특수의 본판형태(24)가 배설된다. 그리고 웨이퍼(36)은 살구형(지도)식으로 험 형성액(RPD) 위에 엎어 놓고, 웨이퍼(36)의 1 개 험 형성액(RPD) 슬면에 엔지니어링 험(30)으로 구성되는 수지(30)를 도포한다. 수지(30)로서는 애니虱 외에 험 형성액(RPD) 및 상용화장품이 있다. 수지(30)로서는 마크로필수지, 들판리아이드수지, 및 흐르팅수지 등이 있다. 또 수지(30)로서는 도포방법으로는 주입법, 인쇄법, 또는 스크린프린팅 등이 있으며, 특히 크기 험으로 적합한 복벌이 선택된다. 또한 수지(30)로서는 웨이퍼(36)의 험 형성액(RPD)의 도포된 한정되지 않고 제 2 반도체 험(20)으로의 도포로 대신할 수도 있다.

또 수지(30)을 도포하는 타이밍은 도 10의 (a)에 도시한 위치조정 전뿐만 아니라, 위치조정하고 금속범프(23)를 개재시켜 각 내부전극(11, 21)끼리 접합시킨 후(도 10의 (b)에 나타낸 공정)라도 된다.

한편, 주면에 알루미늄으로 이루어지는 복수의 제 2 내부전극(21) 및 그 위의 메탈장벽층(22)을 갖는 제 2 반도체층(20)을 준비하여, 제 2 반도체 층(20)의 메탈장벽층(22) 상에 금속별프(23)를 형성한다. 이 때에는 티탄(Ti), 구리(Cu), 니켈(Ni)의 금속박막으로 이루어지며, 금속별프(23)는 주석(St)-납-황동복합(20)은 티탄(Ti), 구리(Cu), 니켈(Ni)의 금속박막으로 이루어진다. 금속별프(23)의 재료로는 Au, Ir, In-Sn, Sn-Ag, Sn-Cu, Sn-Zn, Cu 및 Ni 중 어느 하나를 선택하여 이용하는 것이 가능하며, 이 금속별프(23)의 크기는 앤프 지름이 3-100 $\mu$ m, 높이가 3-50 $\mu$ m이다.

그리고 웨이퍼(36) 1 개의 철 혼성영역(Rtp) 상방에 공구(40)에 의하여 제 2 반도체 칩(20)을 유지하면서, 제 2 반도체 칩(20)은, 그 상면을 아래쪽으로 향한 상태로 웨이퍼(36)의 1 개 철 혼성영역(Rtp)에 대시킨다.

다음으로 도 10의 (b)에 나타낸 공정에서, 미하의 순서로 웨이퍼(36)의 혼 헤딩영역(Rtp)과 제 2 반도체층(20)을 서로 접합한다.

우선 제 2 반도체 철(20)을 공구(40)로 무지하면서 하강시켜, 제 2 반도체 철(20)의 제 2 내부전극(21)상에 형성된 금속범프(23)와, 웨이퍼(36)의 1 개 철 헤드성형역(Rc)에 배치된다. 제 1 내부전극(11)과의 위치를 조정한다. 그리고 위치 조정된 웨이퍼(36) 상의 철 1 내부전극(11)과 제 2 반도체 철(20)의 금속범프(23)를, 공구(40)를 사용하여 기마법·기압하고, 토리아워 압착 또는 금속화학 압착(원자의 승호화)에서 의한 합금화물(들의) 압착을 이용하여 접합을 시설한다. 수지(30)를 접합 할 때, 수지(30)가 웨이퍼(36)의 일부로 결무는, 공구(40)를 하강시켜 각 내부전극(11), 12)끼리 접합을 시설할 때, 수지(30)가 금장판(10)의 내부전극(11)과 제 2 반도체 철(20) 사이로 흘러들어버린다. 이 때 수지(30)의 접착성이 제 2 반도체 철(20)과 웨이퍼(36)의 접착성(의Rc)과 제 1 철 헤드(21) 사이로 흘러들어버진다. 공구(40)에 의한 기압으로는 1 개의 금속범프(23)에 대하여 0.1~2kg 정도의 하중이며, 적당한 범위이다. 미리 하중의 크기는 제 1 내부전극(11)이 표준되거나, 그 제 1 내부전극(11) 아래쪽에 형성된 트리거지스터 등의 반도체 소자나 배선 등의 특성을 변화시키지 않는다는 저작률을 만족시키도록 설정된다. 그 후 수지(30)를 회화시켜 제 2 반도체 철(20)과 웨이퍼(36)를 밀착시키된다. 이 때 수지(30)가 풍경화성수지라면 자외선(41)을, 열경화성수지라면 가열을 각각 실시한다. 기말에 의한 수지(30) 경화를 실시할 때, 공구(40)에 의한 기압 하지 후에 오븐 등의 가열기

## [첨부그림 9]

목 2002-0053011

구에 의한 가열을 할거나, 또는 광구(40)에 내장시킨 히터 등에 의하여 가온 시 직접 가열을 할한다. 혼용화 사이의 온도조건은 수지(30)의 재료에 따르기는 하지만 70~300°C 정도가 필요하다.

다음, 도 10의 (c)에 나타낸 공정에서 도 10의 (a), (b)에 나타낸 공정은, 웨이퍼(36)의 각 혈 혼성영역(Rtp)에 탐재시킬 제 2 반도체 칩(20)의 수리를 박판화으로서, 도 10의 (c)에 나타낸 바와 같이 웨이퍼(36)상에 다수의 제 2 반도체 칩(20)을 탐재시켜 형성되는 접합체(50) 구조가 일어진다. 그리고 반도체 칩-웨이퍼 사이에 충전시키는 수지(30)를 이방성 도전층(SOF) 또는 이방성 도전수지(AOP) 등으로 대용 하는 것도 가능하다.

다음에 도 10의 (d)에 나타낸 공정에서 접합체(50) 중의 제 2 반도체 칩(20) 미연을 '연마한다. 도 10의 (c)에 나타낸 공정에서 수지(30)를 충분히 결합시킨 후, 웨이퍼(36)의 각 혈 혼성영역(Rtp) 상에 탐재된 제 2 반도체 칩(20) 미연 위쪽을 연마장치(43) 상면에 내장시킨 상태에서, 접합체(50)를 연마장치(43) 속에 얹는다. 이 때 웨이퍼(36)의 각 혈 혼성영역(Rtp) 상면에 보호수지(47)를 구성시켜 둔다. 그리고 연마장치(43)의 연마 면에 연마일자(42)를 부착하고, 접합체(50)에 허공을 기울여 연마장치(43)를 회전시킴으로써, 각 제 2 반도체 칩(20) 미연의 연마를 실시한다. 이 때 연마일자(42)로서는 입도 #1200~#2000 정도의 디아마론드 입자가 바람직하며, 연마장치(43)의 회전수는 5~50rpm 정도가 바람직하다.

여기서는 실시예에서는, 수지(30) 중 제 2 반도체 칩(20)의 축면 상에 있는 부분의 상단부가 노출될 때 까지, 제 2 반도체 칩(20)의 미연을 연마한다.

다음으로, 도 10의 (e)에 나타낸 공정에서, 연마를 종료하고 접합체(50)를 연마장치(43)로부터 분리하면 웨이퍼(36) 상의 각 혈 제 2 반도체 칩(20)의 미연 전체가 수지(30)로 끼워진 혼성이 일어진다.

그 후 접합체(50)의 각 혈 혼성영역(Rtp)별로 웨이퍼(36)을 원단합으로서, 개개의 제 1 반도체 칩(10)과 제 2 반도체 칩(20)으로 이루어지는 반도체장치(46)가 일어진다.

다음, 도 10의 (f)에 나타내는 공정에서, 반도체장치(46)의 패키징을 실시한다. 우선 반도체장치(46)를 리드프레임의 디아파드(31)에 탐재하고 납, 은 등을 험류하는 도전성 페이스트(39)로 양자금 고정시킨다. 그리고 제 1 반도체 칩(10)의 본딩매트(12)와, 리드프레임의 리드(32)를 25mm 정도의 금속이온을 등으로 이루어지는 블록와이어(34)로 접속한다. 그리고 미지막으로 제 1 반도체 칩(10), 제 2 반도체 칩(20), 본딩와이어(34), 리드프레임의 디아파드(31), 및 리드프레임의 리드(32)(입구)를 예측시계 또는 흡수미미트계의 통입수지(35)를 사용하여 수지종입을 실시한다.

이상의 공정으로써, 제 1 반도체 칩(10) 상에 제 2 반도체 칩(20)을 탐재하여 일제화시켜 구성되는 제 1 실시예의 3 차원 디바이스가 용이하게 형성된다.

## -제 1 변형예-

다음으로, 제 5 실시예의 제 1 변형예에 관한 반도체장치의 제조방법에 대하여 설명한다. 본 변형 예(6)-(e)는 제 5 실시예의 제 1 변형예에 있어서 반도체장치의 제조공정을 나타내는 단면도이다. 본 변형 예에 있어서는 웨이퍼를 접착하여 제 1 반도체 칩(10)을 이미 형성한 뒤, 제 1 반도체 칩(10) 상에 제 2 반도체 칩(20)을 접합한다.

따라서, 도 10의 (a)에 나타내는 공정에서는, 제 1 반도체 칩(10)과 제 2 반도체 칩(20)을 위치조정 한다. 이 때의 조건은 다음에 서술하는 조건 미만은 두 10의 (a)에서 설명한 바와 같이 하면 된다. 또 수지(30)로는 예측시 외에 결합화물 및 실온결화성이 있으며, 수지자료로는 아크릴수지, 폴리이미드수지, 페리미드수지 등이 있다. 또 수지의 도포면법으로는 주연법, 인쇄법, 또는 스텐 팽법 등이 있으며, 청크기 등으로 적절한 방법의 선택된다. 또한 수지 도포는 제 1 반도체 칩(10)이 배치된 웨이퍼(36)로의 도포에 한정되지 않고 제 2 반도체 칩(20)으로의 도포로 대신할 수도 있다.

또 수지(30)를 도포하는 태이밍은 도 11의 (e)에 도사한 위치조정 전문만 아니라, 위치조정하고 금속번프(23)를 게재시켜 각 내부전극(11, 21)끼리 접합시킨 후(도 11의 (b)에 나타낸 공정)라도 된다.

제 2 반도체 칩(20) 상에 혼성화 금속번프(23)의 재료로는 Au, In, In-Sn, Sn-Ag, Sn-Cu, Sn-Zn, Cu 및 Ni 중 어느 하나나 선택 이용하는 것이 가능하며, 이 금속번프(23)의 크기는 번프 지름이 3~100μm, 높이가 3~50μm이다.

그리고 제 1 반도체 칩(10) 상방에, 광구(40)에 의하여 제 2 반도체 칩(20)을 유지하면서, 제 2 반도체 칩(20)의 상면을 미라속으로 할한 상태로 제 1 반도체 칩(10)에 대합시킨다.

여기서 전기적 접속을 실시하기 위한 부자로시는, 금속번프(23) 미외에 도전성 페이스트, 미방성 도전수지, 금속제 물러 분산수지 등을 이용할 수 있다. 또 제 2 반도체 칩(20)의 제 2 내부전극(21) 대신에, 제 1 반도체 칩(10)의 제 1 내부전극(11) 상에 금속번프를 형성해도 된다.

다음으로 도 10의 (b)에 나타낸 공정에서, 이미 설명한 도 10의 (b)에 나타낸 공정과 같은 순서로 제 1 반도체 칩(10)에 제 2 반도체 칩(20)을 탐재시켜, 양자금의 내부전극(11, 21)끼리의 접합과 수지(30) 결합을 실시하여, 제 1 반도체 칩(10) 상에 제 2 반도체 칩(20)을 탐재시켜 구성되는 접합체(61)를 형성한다.

다음에, 도 11의 (c)-(e)에 나타낸 공정에서, 이미 설명한 도 10의 (d)-(f)에 나타낸 공정과 마찬가지 순서에 의하여, 접합체(61)의 제 2 반도체 칩(20) 미연의 연마를 실시함으로써, 제 5 실시예의 방법에 비하 연마의 용이화를 도모할 수 있다.

## -제 2 변형예-

[첨부그림 10]

특 2002-0053011

다음으로 본 발명 제 5 실시예의 제 2 변형에 관한 반도체장치의 제조방법에 대하여 설명한다. 본 변형에서는 제 2 실시예 제 2 변형에서의 3 차원 디바이스를 형성한다. 도 12의 (a)-(f)는 제 5 실시예 제 2 변형에서의 반도체장치 제조공정을 나타내는 단면도이다.

본 변형에서의 3 차원 디바이스 형성 순서는, 상기 제 5 실시예의 도 10의 (a)-(f)에 나타내는 공정과 기본적으로 마찬가지이다.

여기서 본 변형에서는 도 12의 (d)에 나타내는 공정에서, 수지(30) 중 제 2 반도체 힙(20) 측면 상에 있는 부분의 상단부가 노출된 후, 다시 제 2 반도체 힙(20) 및 수지(30)을 열마킹한다. 이 열마킹법으로써 제 2 반도체 힙(20) 미연과 수지(30) 상단면이 거의 광활의 면인(45)을 형성하는 형상을 갖는 3 차원 디바이스를 형성한다.

본 변형에 있어서는 도 12의 (c)에 나타내는 공정에서, 제 1, 제 2 반도체 힙(10, 20)을 접합시켜 형성되는 접합체(50)별로 제 2 반도체 힙(20)의 미연 연마를 실시함으로써, 제 5 실시예의 방법에 비해 연마의 용이화를 도모할 수 있다.

#### -제 3 변형-

다음으로, 본 발명 제 5 실시예의 제 3 변형에 관한 반도체장치의 제조방법에 대하여 설명한다. 본 변형에 있어서도 제 2 실시예 제 2 변형에서의 반도체장치의 제조방법에 대하여 설명한다. 도 13의 (a)-(e)는 제 5 실시예의 제 3 변형에 있어서 반도체장치의 제조공정을 나타내는 단면도이다. 본 변형에 있어서는 웨이퍼를 접단하여 제 1 반도체 힙(10)을 미연 형성한 뒤, 제 1 반도체 힙(10) 상에 제 2 반도체 힙(20)을 접합한다.

따라서 도 13의 (a)에 나타내는 공정에서는 제 1 반도체 힙(10)과 제 2 반도체 힙(20)을 위치조정 한다. 이 때의 조건은 다음에 서술하는 조건 미만은 도 10의 (a)에서 설명한 바와 같이 하면 된다. 또 수지(30)는 에폭시 외에 열경화성 및 상온경화성이 있으며, 수지재료로는 아크릴수지, 폴리이미드수지, 일수리한수지 등이 있다. 또 수지의 도포방법으로는 주입법, 인쇄법, 또는 스텐프법 등이 있으며, 혼크기 풍으로 적절한 방법이 선택된다. 또한 수지 도포는 제 1 반도체 힙(10)이 배치된 웨이퍼(36)로의 도포에 한정되지 않고 제 2 반도체 힙(20)으로의 도포에 대신할 수도 있다.

또 수지(30)를 도포하는 티미링은 도 13의 (a)에 도시한 위치조정 전문만 아니라, 위치조정하고 금속번프(23)를 개시시켜 각 내부전극(11, 21)끼리 접합시킨 후(도 13의 (b))에 나타낸 공정)리도 된다.

제 2 반도체 힙(20) 상에 형성을 금속번프(23)의 세로로는 Au, In, In-Sn, Sn-Ag, Sn-Cu, Sn-Zn, Cu 등이 중 어느 하나를 선택 이용하는 것이 가능하다. 이 금속번프(23)의 크기는 번프 지름이 3-100μm, 높이가 3-50μm이다.

그리고 제 1 반도체 힙(10) 상방에, 꿈과(40)에 의하여 제 2 반도체 힙(20)을 유지하면서, 제 2 반도체 힙(20)의 상면을 아래쪽으로 향한 상태로 제 1 반도체 힙(10)에 대합시킨다.

여기서 전기적 접속을 실시하기 위한 부자로서는, 금속번프(23) 미만에 도전성 페미스트, 미방성 도전수지, 금속제 페리, 분산수지 등을 이용할 수 있다. 또 제 2 반도체 힙(20)의 제 2 내부전극(21) 대신에, 제 1 반도체 힙(10)의 제 1 내부전극(11) 상에 금속번프를 형성해도 된다.

다음으로 도 13의 (b)에 나타낸 공정에서, 미연 설명한 도 10의 (b)에 나타낸 공정과 같은 순서로 제 1 반도체 힙(10)에 제 2 반도체 힙(20)을 접합시켜, 양자의 내부전극(11, 21)끼리의 접합과 수지(30) 결합을 실시하여, 제 1 반도체 힙(10) 상에 제 2 반도체 힙(20)을 접합시켜 형성되는 접합체(51)를 형성한다.

다음에, 도 13의 (c)-(e)에 나타난 공정에서, 미연 설명한 도 10의 (d)-(f)에 나타난 공정과 마찬가지 순서에 의하여, 접합체(51)의 제 2 반도체 힙(20) 미연의 연마를 실시함으로써, 제 5 실시예의 방법에 비해 연마의 용이화를 도모할 수 있다.

본 변형에서는, 도 13의 (c)에 나타난 공정에서 제 1, 제 2 반도체 힙(10, 20)을 접합시켜 형성되는 접합체(51)별로, 제 2 반도체 힙(20) 미연의 연마를 실시함으로써, 제 5 실시예의 방법에 비해 연마의 용이화를 도모할 수 있다.

#### (제 6 실시예)

다음으로, 본 발명의 제 6 실시예에 관한 반도체장치의 제조방법에 대하여 설명하기로 한다. 본 실시예에 있어서는, 강화한 제 3 실시예에 관한 반도체장치의 제조방법에 대하여 설명하기로 한다. 도 14의 (a)-(e)는 본 실시예에 있어서 반도체장치의 제조공정을 나타내는 단면도이다.

도 14의 (a)-(e)에 나타내는 공정에서 미연의 순서에 의하여, 제 1 반도체 힙(10)과 제 2 반도체 힙(20)의 위치를 조정한다. 우선 반도체 소자나 배선이 형성된, 다수의 접촉성영역을 갖는 웨이퍼를 준비한다. 그리고 디아이싱으로 각 험 형성영역별로 웨이퍼를 절단하여 제 1 반도체 힙(10)을 형성한다. 제 1 반도체 힙(10)의 상면에는 알루미늄으로 이루어지는 흑색의 제 1 내부전극(11) 및 알루미늄으로 이루어지는 복수의 브로팅패드(12)가 배설된다. 그리고 제 1 반도체 힙(10)을 실증지그(도시 생략) 위에 얹어 놓고, 제 1 반도체 힙(10) 상면에, 에폭시 등으로 구구되는 수지(30)를 도포한다. 수지(30)로서는 에폭시 외에 열경화성, 및 상온경화성이 있으며, 수지재료로는 아크릴수지, 폴리이미드수지, 및 우레탄수지 등이 있다. 또 수지의 도포방법으로는 주입법, 인쇄법, 또는 스텐프법 등이 있으며, 혼크기 풍으로 적절한 방법이 선택된다. 또한 수지 도포는 제 1 반도체 힙(10)의 도포에 한정되지 않고 제 2 반도체 힙(20)으로의 도포로 대신할 수도 있다.

또 수지(30)를 도포하는 티미링은 도 14의 (a)에 도시한 위치조정 전문만 아니라, 위치조정하고 금속번프(23)를 개시시켜 각 내부전극(11, 21)끼리 접합시킨 후(도 14의 (b))에 나타낸 공정)리도 된다.

여기서 본 실시예에 있어서, 도포되는 수지(30)의 양은 반도체 힙 종류에 따른 조건, 특히 제 2 반도체 힙(20) 면적 등의 조건에 따라 다른데, 제 2 반도체 힙(20) 측면에 수지 끝없이 형성을 수 있는 양이 떨

## [첨부그림 11]

2002-0059011

요하다. 구체적으로 수지(30)의 양은, 경화 후 수지(30)의 펄렛 높이, 또는 펄렛 높으로(도 15 참조) 약 50-300 $\mu$ m 이상이 일정인 것이 바람직하다.

한편, 주면에 알루미늄으로 이루어지는 특수의 제 2 내부전극(21) 및 그 위의 메탈장벽층(22)을 갖는 제 2 반도체 험(20)을 준비하여, 제 2 반도체 험(20)의 메탈장벽층(22)상에 금속별프(23)를 형성한다. 메탈장벽층(22)은 Ti, Cu, Ni의 금속복합으로 이루어진다. 금속별프(23)는 Sn-Pb으로 이루어진다. 금속별프(23)의 자료로는 Au, In, In-Sn, Sn-Ag, Sn-Cu, Sn-Zn, Cu 및 Ni 어느 하나를 선택하여 이용하는 것 이 가능하며, 이 금속별프(23)의 크기는 범프 지름이 3-100 $\mu$ m, 높이가 3-50 $\mu$ m이다.

그리고 제 1 반도체 험(10) 상방에 공구(40)에 의하여 제 2 반도체 험(20)을 유지하면서, 제 2 반도체 험(20)을 그 상면을 아래쪽으로 한정 상대로 제 1 반도체 험(10)에 대형시킨다.

여기서 전기적 접속을 시하기 위한 부자료로서는, 금속별프(23) 이외에 도전성 페이스트, 미방성 도전성지, 금속제 펄러 분산수지 등을 이용할 수 있다. 또 제 2 반도체 험(20)의 제 2 내부전극(21) 대신, 제 1 반도체 험(10) 상의 제 1 내부전극(11)상에 금속별프를 형성해도 된다.

다음으로 도 14의 (b)에 나타난 공정에서, 이하의 순서로 제 1 반도체 험(10)과 제 2 반도체 험(20)을 서로 접합된다.

우선 제 2 반도체 험(20)을 공구(40)로 유지하면서 하강시키, 제 2 반도체 험(20)의 제 2 내부전극(21)상에 형성된 금속별프(23)와, 제 1 반도체 험(10)에 배치된 제 1 내부전극(11)교의 위치를 조정한다. 그리고 위치 조정된 제 1 반도체 험(10) 상의 제 1 내부전극(11)과 제 2 반도체 험(20)의 금속별프(23)를, 공구(40)를 사용하여 가열하고, 펄리적 작용 또는 금속화학적 작용(원자의 삼호화산에 의한 펄리화물의 작용)을 이용하여 접합을 실시한다. 수지(30)를 접합 전에(도 10의 (a)에 나타난 공정에서) 도포한 경우는 공구(40)를 하강시키, 각 내부전극(11, 12)끼리 접합을 실시할 때, 수지(30)가 제 1 반도체 험(10)과 제 2 반도체 험(20) 사이로 밀려 끝내게 된다. 이 때 수지(30)의 접선에 의하여 제 1 반도체 험(10)과 제 2 반도체 험(20) 사이의 가교장력이 더욱 증대된다. 공구(40)에 의한 가압력을 1 개의 금속별프(23)에 대하여 0.1-2.0g 정도의 하중이 적은반대, 이 하중의 크기는 제 1 내부전극(11)이 표준되거나 그 제 1 내부전극(11) 아래쪽에 형성된 트렌지스터 등의 반도체소자나 배선 등의 특성을 변화시키지 않는다는 제약을 만족시키도록 설정된다. 그 후 수지(30)를 경화시켜 제 1 반도체 험(10)과 제 2 반도체 험(20)을 일체화시킨다. 이 때 수지(30)가 광경화성수지라면 저온(41)을, 열경화성수지라면 가열을 각각 실시한다. 가열에 의한 수지(30) 경화를 실시할 때는, 공구(40)에 의한 가압 하에 출어 오븐 등의 가열기구에 의한 가열을 행하거나, 또는 공구(40)에 내장시킨 히터 풀에 의하여 가온 시 적절 가열을 행한다. 열경화 시의 온도조건은 수지(30)의 특성에 따라가는 하지만 70-300°C 정도가 필요하다.

이상의 처리에 의하여 제 1 반도체 험(10) 상에 제 2 반도체 험(20)을 탐재시켜 형성되는 접합체(51) 구조가 얻어진다. 여기서 반도체 험-웨이브 사이에 충전시킬 수지(30)를, 미방성 도전필름(ACF), 미방성 도전수지(ACP) 등으로 대체하는 것도 가능하다.

다음에 도 14의 (c)에 나타난 공정에서 접합체(51) 중의 제 2 반도체 험(20)을 이연면을 염마한다. 도 14의 (c)에 나타난 공정에서 수지(30)를 충분히 경화시킨 후, 제 1 반도체 험(10) 상에 탐재된 제 2 반도체 험(20) 이연면(위쪽)을 염마장치(43) 상면에 대형시킨 상태에서, 접합체(51)를 염마장치(43) 상에 얹는다. 그리고 염마장치(43)의 염마 면에 염마입자(42)를 공급하고, 접합체(51)에 하중을 가하여 면 염마장치(43)를 회전시킴으로써, 각 제 2 반도체 험(20) 이연면의 염마를 실시한다. 이 때 염마입자(42)로서는 일도 #1200-#2000 정도의 디아이몬드 입자가 바람직하며, 염마장치(43)의 회전수는 5-50rpm 정도가 바람직하다.

여기서 본 실시예에 있어서는 도 16에 나타낸 바와 같이 접합체(51)의 염마장치(43)의 염마면에 복선에 대한 경사각(26)을 변화시키면서, 접합체(51)의 염마장치(43)를 최적화시켜 염마를 실시한다. 이어서 도 14의 (d)에 나타난 바와 같이 염마공정 종료 후에는, 제 2 반도체 험(20)의 이연면 모서리부(45)를 더욱 넓은 범위에 걸쳐 풍글립과 동시에, 제 2 반도체 험(20)의 중앙부가 주변부보다 두꺼워지도록 형성된 반도체장치(46)를 얻을 수 있다.

다음, 도 14의 (e)에 나타난는 공정에서, 반도체장치(46)의 패키징을 실시한다. 우선 반도체장치(46)를 리드프레임의 디아이프(31)에 밀착하고 날, 음을 양극을 형성하는 도전성 페이스트(33)로 양자를 고정시킨다. 그리고 제 1 반도체 험(10)의 본体质(12)와, 리드프레임의 리드(32)를 25mm 정도의 금, 알루미늄 등으로 이루어지는 펄팅와이어(34)로 접속된다. 그리고 마지막으로 제 1 반도체 험(10), 제 2 반도체 험(20), 펄팅와이어(34), 리드프레임의 디아이프(31), 및 리드프레임의 리드(32)(원부)를 예폭시거 또는 티리아이미드계의 풍입수지(35)를 사용하여 수지생성을 실시한다.

이상의 공정으로써, 제 1 반도체 험(10) 상에 제 2 반도체 험(20)을 탐재하여 일체화시켜 구성되는 제 3 실시예의 3 차원 디바이스가 드러나게 형성된다.

여기서 제 3 실시예에 있어서, 상기 도 16에 나타낸 바와 같이 제 1, 제 2 내부전극(11, 21)이 형성된 면과 제 1, 제 2 반도체 험(10, 20)의 주면으로 하지만, 큰 텁당을 미리한 실시예에 합정되는 것이 아니다. 따라서 제 1 반도체 험(10) 또는 제 2 반도체 험(20)에 대하여, 반도체 험의 펄트 풀스(through hole)이나 흙면에 구성된 도체막을 개재하고, 반도체 험 이면에 내부전극을 형성한 것에 대해서도 본 발명을 적용할 수 있다.

여기서 상기 각 실시예에 있어서, 제 1, 제 2 내부전극(11, 21)이 형성된 면과 제 1, 제 2 반도체 험(10, 20)의 주면으로 하지만, 큰 텁당을 미리한 실시예에 합정되는 것이 아니다. 따라서 제 1 반도체 험(10) 또는 제 2 반도체 험(20)에 대하여, 반도체 험의 펄트 풀스(through hole)이나 흙면에 구성된 도체막을 개재하고, 반도체 험 이면에 내부전극을 형성한 것에 대해서도 본 발명을 적용할 수 있다.

## [첨부그림 12]

쪽 2002-0053011

**설명의 도구**

본 발명의 반도체장치 또는 그 제조방법에 의하면, 제 1 반도체 칩에 접합된 제 2 반도체 칩 하면의 모서리부를 곡면화 시키고, 제 2 반도체 칩의 축면 전체를 수지층으로 피복하거나, 또는 제 2 반도체 칩을 품암 부를 주변부보다 두껍게 함으로써 축면 균열의 발생이나, 각 반도체 칩간의 접속 신뢰성 저하 등을 억제 할 수 있다.

**(5) 첨구의 쓰임****첨구항 1**

상면에 제 1 전극을 갖는 제 1 반도체 칩과, 상면에 제 2 전극을 갖고, 상기 제 2 전극을 상기 제 1 전극에 전기적으로 접속시킨 상태로 상기 제 1 반도체 칩 상에 탑재된 제 2 반도체 칩을 구비하여,

상기 제 2 반도체 칩 하면의 모서리부가 가공에 의하여 무디미지는 것을 특징으로 하는 반도체장치.

**첨구항 2**

제 1 항에 있어서,

상기 제 2 반도체 칩 하면의 모서리부가 곡면으로 되는 것을 특징으로 하는 반도체장치.

**첨구항 3**

제 2 항에 있어서,

상기 제 2 반도체 칩 하면 모서리부의 곡면 폭률반경이 1mm보다 큰 것을 특징으로 하는 반도체장치.

**첨구항 4**

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 1 반도체 칩과 제 2 반도체 칩 사이에 수지층이 개재되는 것을 특징으로 하는 반도체장치.

**첨구항 5**

상면에 제 1 전극을 갖는 제 1 반도체 칩과,

상면에 제 2 전극을 갖고, 상기 제 2 전극을 상기 제 1 전극에 전기적으로 접속시킨 상태로 상기 제 1 반도체 칩 상에 탑재된 제 2 반도체 칩과,

상기 제 1 반도체 칩과 제 2 반도체 칩 사이에 개재하며, 또 상기 제 2 반도체 칩의 전 축면을 피복하는 수지층을 구비하는 반도체장치.

**첨구항 6**

제 5 항에 있어서,

상기 수지층 중 상기 제 1 반도체 칩과 제 2 반도체 칩 사이에 개재하는 부분과, 상기 제 2 반도체 칩의 전 축면을 피복하는 부분은, 서로 다른 수지재료로 구성되는 것을 특징으로 하는 반도체장치.

**첨구항 7**

제 6 항에 있어서,

상기 수지층 중 상기 제 2 반도체 칩의 전 축면을 피복하는 부분의 폴리 헥유량은, 상기 제 1 반도체 칩과 제 2 반도체 칩 사이에 개재하는 부분의 폴리 헥유량보다 많은 것을 특징으로 하는 반도체장치.

**첨구항 8**

제 6 항에 있어서,

상기 수지층 중 상기 제 2 반도체 칩의 전 축면을 피복하는 부분의 폴리 헥유량은, 상기 제 1 반도체 칩과 제 2 반도체 칩 사이에 개재하는 부분의 폴리 헥유량보다 많은 것을 특징으로 하는 반도체장치.

**첨구항 9**

제 5 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 수지층 중 상기 제 2 반도체 칩의 전 축면을 피복하는 부분의 상면은, 상기 제 2 반도체 칩 하면과 거의 평행의 평면을 갖는 위치에 있는 것을 특징으로 하는 반도체장치.

**첨구항 10**

제 9 항에 있어서,

상기 제 1 반도체 칩과 상기 제 2 반도체 칩은 수지 봉입되는 것을 특징으로 하는 반도체장치.

**첨구항 11**

상면에 제 1 전극을 갖는 제 1 반도체 칩과,

상면에 제 2 전극을 갖고, 상기 제 2 전극을 상기 제 1 전극에 전기적으로 접속시킨 상태로 상기 제 1 반

25-12

25-12

[첨부그림 13]

특 2002-0053011

도체 힘 상에 탑재된 제 2 반도체 힘을 구비하여,  
 상기 제 2 반도체 힘 중앙부는 주변부보다 두꺼운 것을 특징으로 하는 반도체장치.  
**첨구항 12**  
 제 11 항에 있어서,  
 제 1 반도체 힘과 제 2 반도체 힘 사이에 개재하는 수지층을 추가로 구비하는 것을 특징으로 하는 반도체장치.  
**첨구항 13**  
 제 12 항에 있어서,  
 상기 제 1 반도체 힘과 상기 제 2 반도체 힘은, 수지분입되는 것을 특징으로 하는 반도체장치.  
**첨구항 14**  
 제 1 반도체 힘 상에 제 2 반도체 힘을, 양자의 전극끼리 전기적으로 서로 접속된 상태로 탑재시켜 형성되는 반도체장치의 제조방법에 있어서,  
 상면에 제 1 전극을 가지며, 상기 제 1 반도체 힘으로 링 제 1 반도체 힘 형성영역을 갖는 웨이퍼와, 상면에 제 2 전극을 갖는 상기 제 2 반도체 힘을 준비하는 공정과,  
 상기 웨이퍼의 각 힘 형성영역 상에 상기 제 2 반도체 힘을 각각 탑재시키고, 상기 제 1 전극과 상기 제 2 전극을 서로 전기적으로 접속하는 공정과,  
 상기 웨이퍼의 각 힘 형성영역과 상기 제 2 반도체 힘 사이에 수지층을 형성하는 공정과,  
 상기 제 2 반도체 힘을 상기 웨이퍼에 탑재한 상태에서 상기 제 2 반도체 힘 하면을 연마하는 공정과,  
 상기 웨이퍼를 각 힘 형성영역별로 분리시키고, 제 1 반도체 힘 상에 제 2 반도체 힘이 탑재되어 구성되는 접합체를 개별로 형성하는 공정과,  
 상기 제 1 반도체 힘 상에서 상기 제 2 반도체 힘을 통입수지로 통입하는 공정을 포함하는 반도체장치의 제조방법.

**첨구항 15**

제 1 반도체 힘 상에 제 2 반도체 힘을, 양자의 전극끼리 전기적으로 서로 접속된 상태로 탑재시켜 형성되는 반도체장치의 제조방법에 있어서,  
 상면에 제 1 전극을 갖는 제 1 반도체 힘과, 상면에 제 2 전극을 갖는 상기 제 2 반도체 힘을 준비하는 공정과,  
 상기 제 1 반도체 힘 형성영역 상에 상기 제 2 반도체 힘을 탑재시키고, 상기 제 1 전극과 상기 제 2 전극을 서로 전기적으로 접속하는 공정과,  
 상기 제 1 반도체 힘과 상기 제 2 반도체 힘 사이에 수지층을 형성하는 공정과,  
 상기 제 2 반도체 힘을 상기 웨이퍼에 탑재한 상태에서 상기 제 2 반도체 힘 하면을 연마하는 공정과,  
 상기 제 1 반도체 힘과 상기 제 2 반도체 힘을 통입수지로 통입하는 공정을 포함하는 반도체장치의 제조방법.

**첨구항 16**

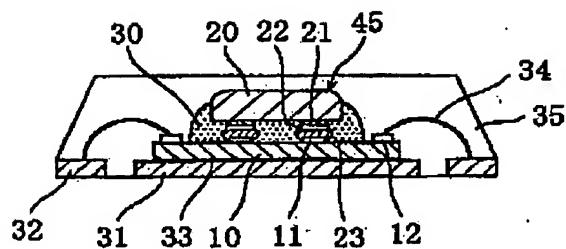
제 14 항 또는 제 15 항에 있어서,  
 상기 제 1 전극과 상기 제 2 전극을 서로 전기적으로 접속하는 공정을, 상기 제 1 전극 및 상기 제 2 전극을 적어도 어느 한쪽 전극에 블록을 형성하고, 상기 블록을 개재하고 각 전극끼리를 접속하는 공정을 추가로 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

도면

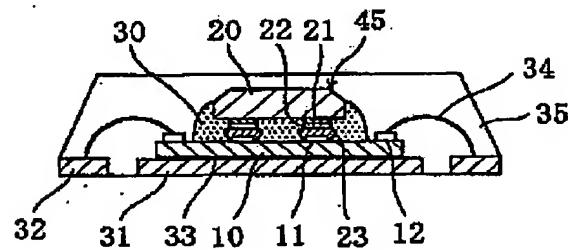
[첨부그림 14]

2002-0053011

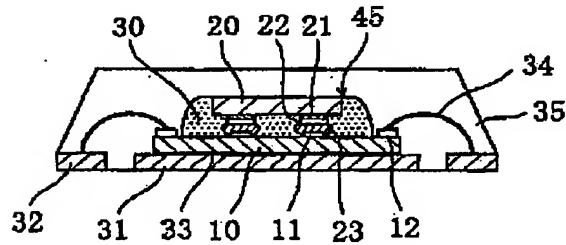
581



582



583



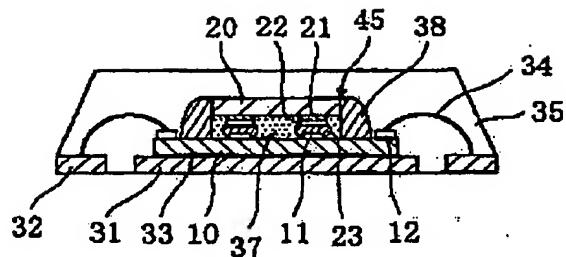
25-14

25-14

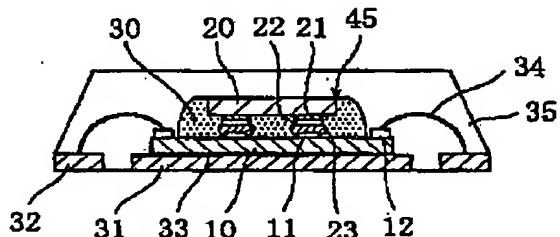
[첨부그림 15]

2002-0053011

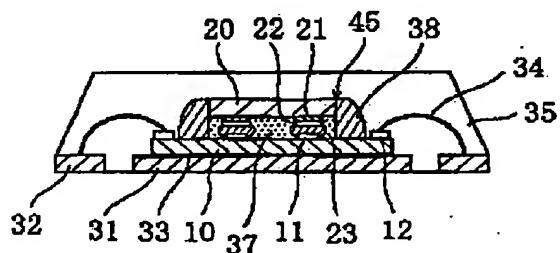
E04



E05



E06



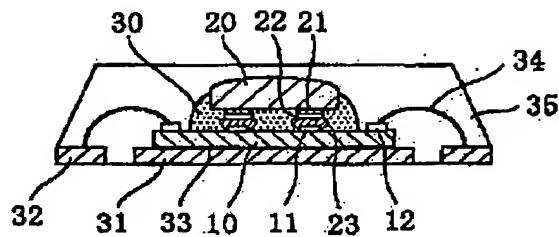
25-15

25-15

[첨부그림 16]

2002-0053011

507

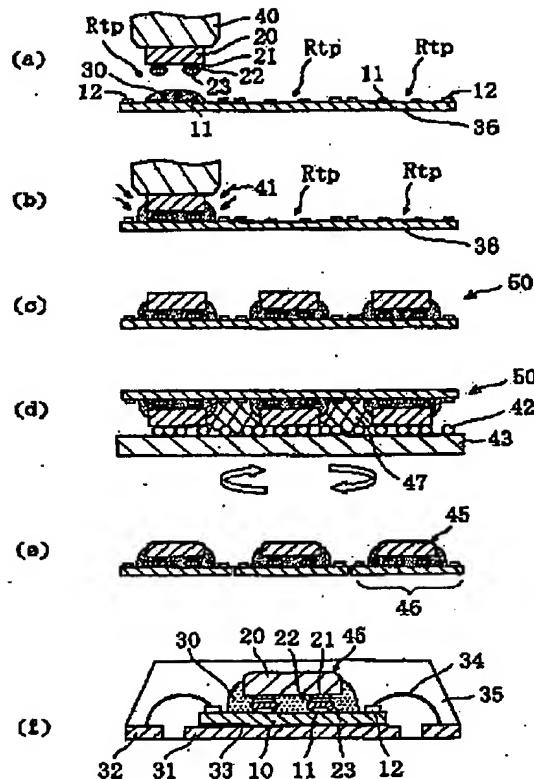


25-16

25-16

[첨부그림 17]

2002-0053011

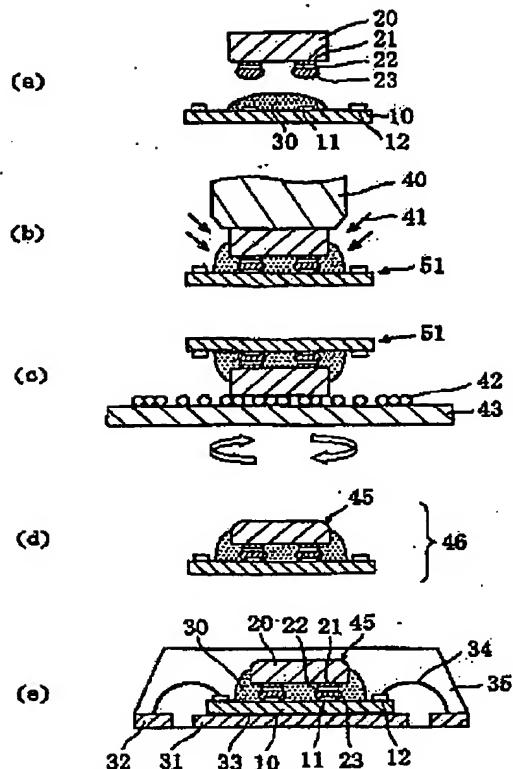
~~도면~~

25-17

25-17

[첨부그림 18]

2002-0053011

~~도면~~

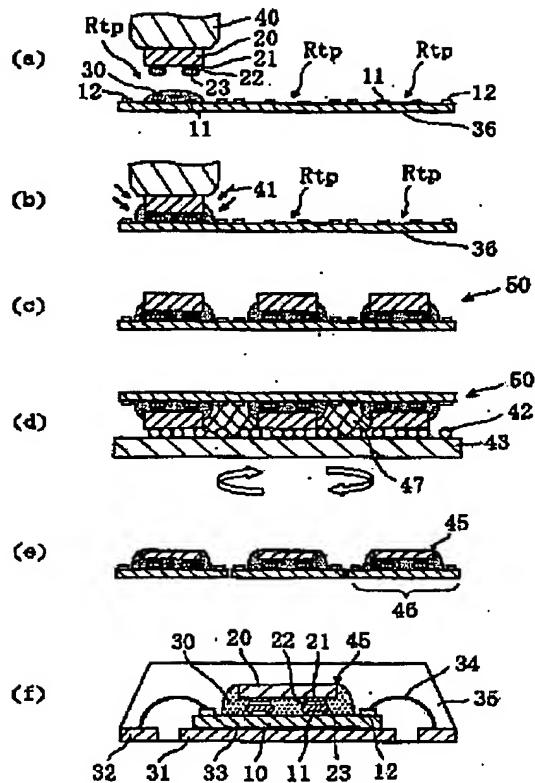
25-18

25-18

[첨부그림 19]

2002-0053011

## 도면10



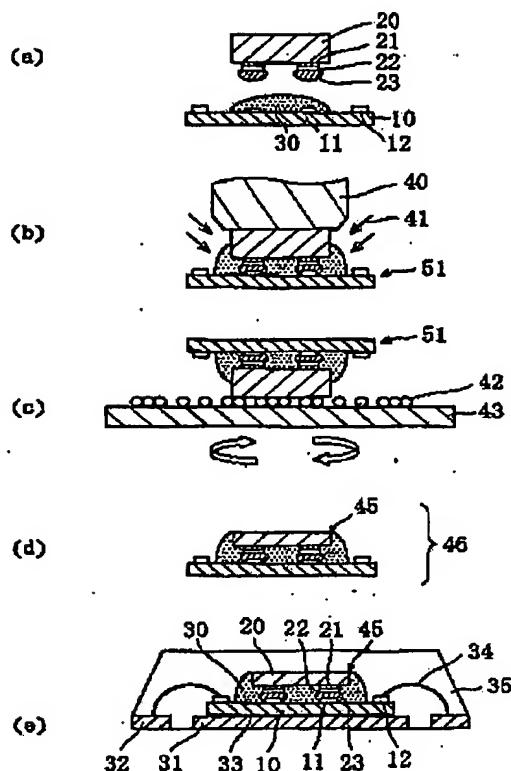
25-19

25-19

[첨부그림 20]

2002-0053011

5011



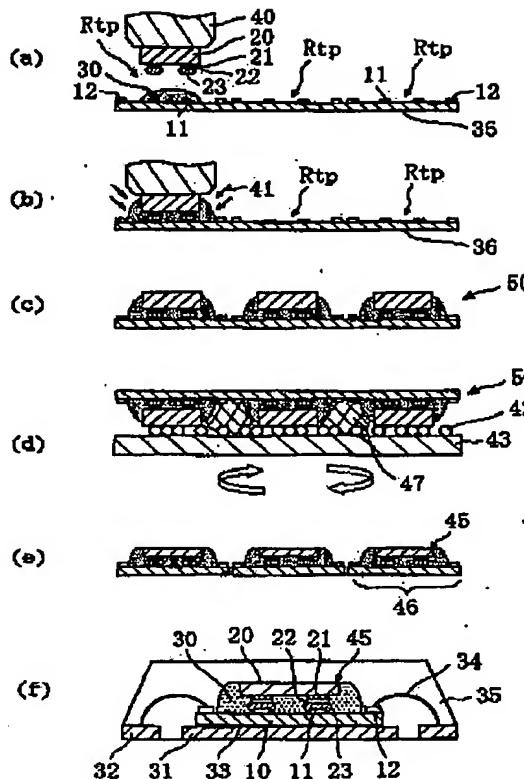
25-20

25-20

[첨부그림 21]

2002-0053011

도면12



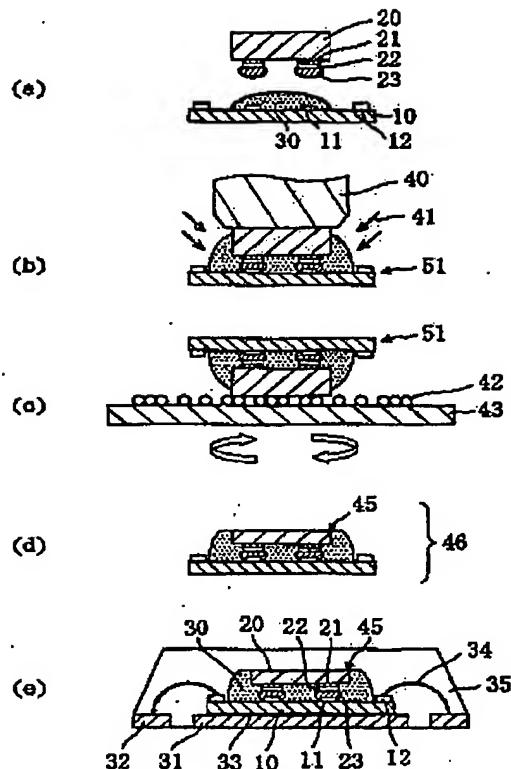
25-21

25-21

[첨부그림 22]

특 2002-0053011

도 813



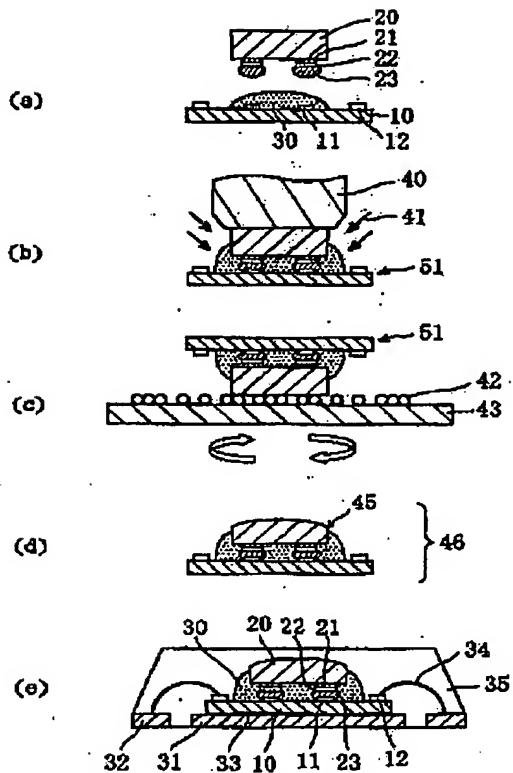
25-22

25-22

[첨부그림-23]

2002-0053011

도면



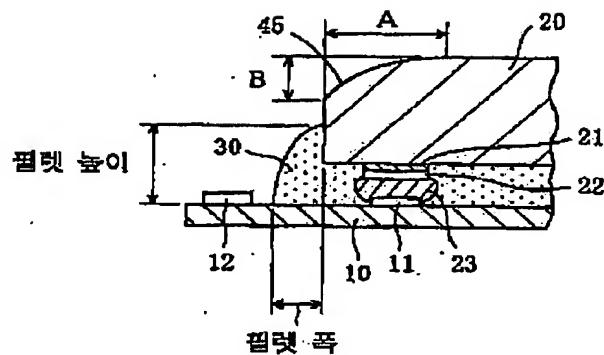
25-23

25-23

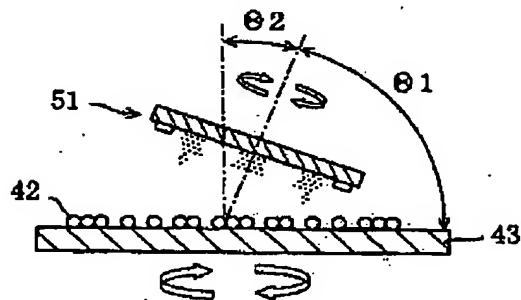
[첨부그림 24]

2002-0053011

도면15



도면16



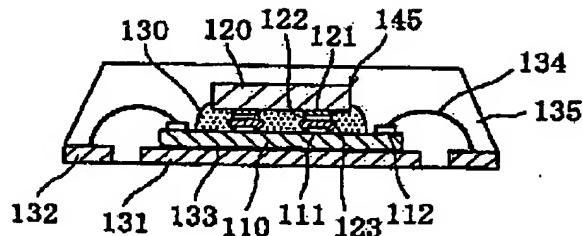
25-24

25-24

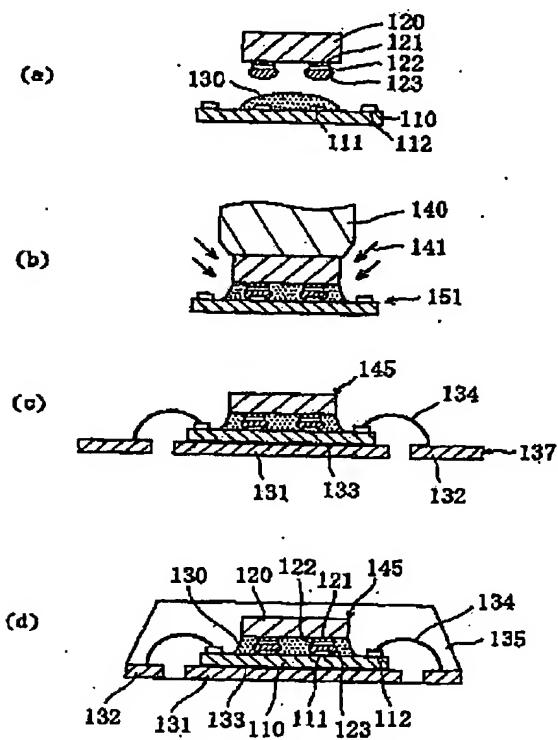
[첨부그림 25]

2002-0053011

도면17



도면18



25-25

25-25